文章编号：1003-1480（2025）05-0044-07

贴片微芯片爆炸箔的制备及其放电回路特性研究

薛鹏飞，熊 鹏，李明愉，曾庆轩

（北京理工大学 爆炸科学与技术国家重点实验室，北京，100081）

摘 要：为提高爆炸箔的能量利用率、降低发火能量并缩小系统体积，本文设计并制备了一种可双面导通的贴片式微芯片爆炸箔。基于微机电技术与电镀技术，系统优化了制备工艺，并通过磁控溅射镀膜技术与电镀技术实现了贴片式爆炸箔的双面导通。将贴片微芯片爆炸箔与平面开关、陶瓷电容进行短回路集成后，利用采样电阻法对放电回路参数进行表征。结果表明，集成条件下回路电感为 4.2~5.6 nH、电阻为 144.3~154.7 mΩ，其电感显著低于传统长回路布局。研究表明所设计的贴片式微芯片爆炸箔能够有效降低回路电感，提升能量利用率，为爆炸箔起爆器的微型化与高性能化提供了技术支持。

关键词：爆炸箔；贴片微芯片；放电回路特性；微机电技术

中图分类号：TJ450.3 **文献标识码：**A **DOI：**10.3969/j.issn.1003-1480.2025.05.005

The Research on Fabrication Process and Discharge Circuit Characteristics of Surface-Mount Micro-chip Exploding Foil Initiator

XUE Peng-fei，XIONG Peng，LI Ming-yu，ZENG Qing-xuan

(State Key Laboratory of Explosion Science and Technology，Beijing Institute of Technology，Beijing，100081)

Abstract： To enhance the energy utilization efficiency of exploding foil, reduce initiation energy, and achieve device miniaturization, a double-sided conductive surface-mount micro-chip exploding foil has been designed and fabricated. By leveraging micro-electromechanical systems and electrodeposition techniques, the manufacturing process was systematically optimized, and double-sided conduction was realized by magnetron sputtering technology and electroplate technology. The surface-mount micro-chip exploding foil was short-circuit integrated with a planar switch and ceramic capacitor, and its discharge circuit parameters were characterized using the sampling resistance method. The results show that under integrated conditions, the circuit inductance is 4.2~5.6 nH and the resistance is 144.3~154.7 mΩ, both significantly lower than those of traditional long-circuit layouts. The study indicates that the designed surface-mount micro-chip exploding foil can effectively reduce circuit inductance and improve energy utilization efficiency, offering technical support for the miniaturization and high-performance of exploding foil initiators.

Key words： Exploding foil； Surface-mount micro-chip； Discharge circuit characteristics； Micro-electromechanical technology

火工品是指能够响应外界刺激并在内部完成能量形式转化，以实现燃烧、爆轰或诸如制动、切割等机械功能的装置。爆炸箔起爆器（EFI）因其创新的设计理念和优异的性能，成为近几十年新型火工品领域的典型代表[1-3]。随着现代武器系统向微型化、智能化的方向发展，EFI 也由传统的分立组件组装模式，

收稿日期：2025-04-30

作者简介：薛鹏飞（1995-），男，在读博士研究生，主要从事爆炸箔点火与起爆技术研究。

通讯作者：李明愉（1969-），女，副教授，主要从事 MEMS 火工品研究。

基金项目：国家自然科学基金（No.11872013）。

引用本文：薛鹏飞，熊 鹏，李明愉，等. 贴片微芯片爆炸箔的制备及其放电回路特性研究[J]. 火工品, 2025(5): 44-50.

向高集成度、小体积化转变。在集成电路与微机电系统（MEMS）技术的驱动下，EFI 技术不仅实现了器件尺寸的持续缩减，更显著降低了起爆能量阈值[4-6]。例如美国 Excelitas 公司研发的 Blue Chip 系列冲击片雷管[7]，采用 0.10 μF 电容放电回路，在置信度 0.95、可靠度 0.999 99 的严苛测试条件下，全发火电压仅需 1 030 V，对应发火能量仅为 0.053 J；荷兰 TNO Defensie 公司开发的 McEFI（微型芯片 EFI）[8]，通过将陶瓷电容、高压转换模块和固态开关集成于 8 cm^3 的芯片，将放电回路阻抗降低 50%以上，使能量利用率从传统 EFI 的 50%跃升至 90%，在 HNS-IV 炸药起爆试验中实现了 1 300 V 阈值电压与 0.085 J 超低起爆能量的突破性表现。

近年来，我国科研团队在低能爆炸箔起爆器（LEEFI）领域已取得重要技术突破，目前正加速推进微型芯片 EFI 的工程化研发[9-12]。通过持续优化电路布局与微纳制造工艺，国内 EFI 的起爆能量已触及 0.1 J 的关键技术节点，标志着我国在该领域正加速缩小与国际先进水平的差距，并向器件微型化、功能集成化方向持续迈进。然而，面对更高的可靠性和更低的能量需求，进一步降低起爆能量、提升能量转换效率仍是当前研究的重点。

研究表明，EFI 系统的能量转化效率直接受制于放电回路的物理参数。通过缩短电流传输路径、降低回路电感和电阻已成为提升能量转换效率的核心策略。为实现 McEFI 设计的紧凑化及回路走线的优化，本研究设计并制备了一款具备背面导电特性的贴片式 McEFI。通过采用磁控溅射镀膜技术与电镀技术，对贴片 McEFI 的制备工艺进行了深入探讨。随后，对所制备的贴片式 McEFI 原型机进行了放电回路参数的测试，旨在验证所提出的设计方案及工艺流程的可行性。

1　贴片式 McEFI 的设计与制备

1.1　贴片式 McEFI 的设计

本研究所设计的双面导通贴片式 McEFI 结构与常规 EFI 的结构对比示意图如图 1 所示。

本研究设计的贴片式 McEFI 由基底、金属桥箔、飞片层和加速膛组成。其中，金属桥箔结构通过将焊盘延伸至基片的侧面和背面，实现了 McEFI 的侧面和背面导通。与传统 McEFI 相比，贴片式 McEFI 将原本位于器件正面的脉冲放电回路焊盘移至背面，取消了两侧的长焊盘，基片形状由长方形简化为近似正方形，实现了整体尺寸的进一步压缩。从而使得 McEFI 进一步减小了整体体积，还提升了贴片焊接的便捷性与回路布线效率，使得 McEFI 能够根据不同的应用需求进行灵活调整。

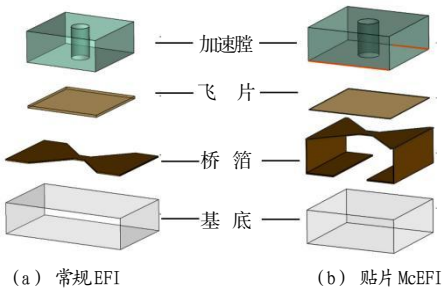


图 1　常规 EFI 及贴片 McEFI 结构示意图

Fig.1　Schematic diagram of conventional EFI and surface-mount McEFI structure

1.2　贴片式 McEFI 的制备

现有的 McEFI 制备流程已较为成熟完善，能够制备出性能优异的器件[13]。为了在保证性能的前提下实现新型贴片式 McEFI 的批量化生产，本研究提出的制备流程最大程度地兼容了现有的 MEMS 工艺路线。贴片 McEFI 的制备流程如图 2 所示。

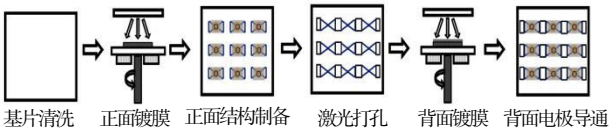


图 2　贴片 McEFI 制备工艺流程

Fig.2　Process flow for preparation of surface-mount McEFI

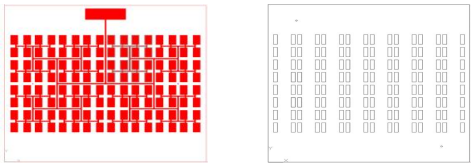
制备过程如下：（1）在基片的正面制备完整的 EFI 芯片结构，包括金属桥箔、飞片层和加速膛；（2）在桥箔边缘处进行打孔；（3）利用磁控溅射技术在背面和侧壁上形成一层较薄的金属种子层；（4）利用电镀铜技术在背面及侧壁通孔处对金属种子层进行增厚，形成稳定的导电通道，实现正、背面电路的双面连通。

在制备过程中，背面焊盘区域和经打孔处理后的侧壁金属化是技术难点。主要挑战在于如何在背面刻蚀过程中保护已完成的正面桥箔结构不受损伤，因此必须对正面金属层实施有效防护。鉴于背面图形的尺寸精度要求相对较低，可采用负性光刻胶在背面构建牺牲层，并对其进行图形化处理后，在牺牲层表面直接溅射金属种子层。随后，通过 lift-off 工艺去除牺牲层及牺牲层上方的金属层，仅保留所需的背面焊盘图案。这种方法大幅简化了工艺流程，降低了对设备的依赖，同时兼具成本效益和可操作性。

考虑到贴片式 McEFI 需实现正面桥箔与背面焊盘之间的可靠导通，必须对正反面导通工艺展开系统研究，以确定最优的工艺参数。

1.2.1 背面牺牲层的制备

本研究设计的背面牺牲层结构如图 3 所示。



(a) 牺牲层掩膜版 (b) 打孔位置

图 3 牺牲层结构形状与打孔位置

Fig.3 Sacrificial layer structure shape and perforation position

由图 3（a）可见，背面牺牲层结构的正上方设置有电镀夹具焊盘，以提供电镀过程中的稳固触点；由该焊盘延伸的金属导线先汇聚至基片中心，再采用分形分叉的方式，沿预定区域分别向各器件两侧延伸，直至形成与每个器件等长的金属连接。此等长布线策略能够在电镀时最大程度地保持电位一致，满足优化侧壁及焊盘厚度的整体要求。通孔的位置分布如图 3（b）所示，为确保激光打孔的高精度，背面牺牲层图形在曝光环节需与正面图形严格对准。

基于上述设计，本文采用 lift-off 负性光刻胶工艺制备牺牲层结构。通过在打孔后的 McEFI 背面旋涂负性光刻胶，随后通过牺牲层掩膜版对 McEFI 背面进行显影，制备得到牺牲层结构，如图 4 所示。

图 4 牺牲层制备过程

Fig.4 Sacrificial layer preparation process

1.2.2 种子层制备

在完成背面牺牲层制备后，对种子层进行制备，制备过程如图 5 所示。首先，利用磁控溅射镀膜技术在背面沉积金属层，随后通过剥离液将牺牲层的金属进行剥离，最终得到种子层结构。

图 5 种子层制备过程

Fig.5 Seed layer preparation process

1.2.3 电镀增厚

在完成种子层的制备后，需要进一步采用电镀工艺对其进行增厚处理。为验证实验室现有简易电镀铜配方的有效性及优化其性能参数，本文通过赫尔槽实验[14]对该配方进行系统评估，并确定其最佳电流密度等关键工艺参数，以保障最终铜镀层的成膜质量一致性。本研究使用的电镀试验平台如图 6 所示。

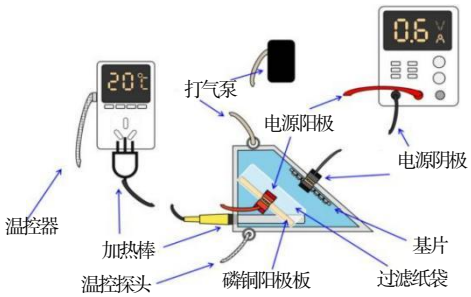


图 6 赫尔槽电镀实验平台

Fig.6 Hull bath electroplating experimental platform

电镀液配方如下：浓硫酸 75 mL · L^{-1}；五水合硫酸铜 70 g · L^{-1}；氯离子 70 mg · L^{-1}；聚乙二醇 6000（PEG- 6000） 0.2 g ·L^{-1}；2-四氢噻唑硫酮（H1）0.000 6 g · L^{-1}；聚二硫二丙烷磺酸钠（SP）0.02 g · L^{-1}。其中，H1 为光亮剂，有助于提升沉积铜层的表面质量，使其更为光滑均匀；SP 和 H1 可作为平坦剂，优化镀层的分布均匀性；而 PEG-6000 为抑制剂，SP 也可作为加速剂，两者协同作用则可调控铜离子的还原速率，从而显著影响沉积层的晶粒尺寸及结晶取向[15-16]。

2 放电回路参数测试

2.1 采样电阻法测试回路电感与电阻

为了验证本研究设计并制备的贴片 McEFI 是否

达到设计需求，需将其集成在短回路中，并测试放电回路中的电感与电阻。针对短回路集成的 EFI 结构，提出了一种替代传统罗氏线圈法的新测试方法：在放电回路中用采样电阻替代 McEFI（两者阻值相同），通过高压探头测量回路中采样电阻两端的电压信号曲线，从而计算得到回路的电感与电阻。电爆炸性能测试平台如图 7 所示。放电回路使用本课题组基于 FPC 技术开发的新型平面高压开关，其基本设计和关键参数沿用了前期研究成果[17]。为适应实验测试需求，在此基础结构上设计了背面焊盘，并由焊盘处引出铜条，以便焊锡及示波器探头可靠连接。所用高压开关如图 8 所示。

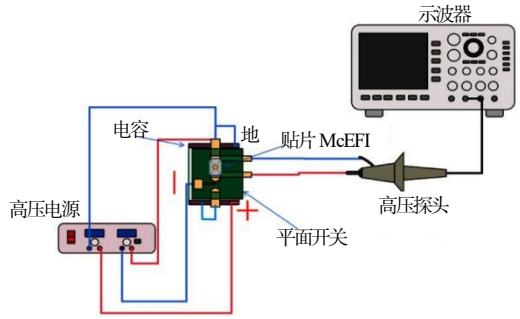


图 7　电爆炸性能测试平台

Fig.7　Electrical explosion performance test platform

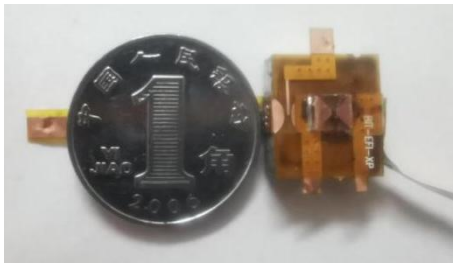


图 8　FPC 平面开关及集成 McEFI

Fig.8　FPC planar switch and integrated McEFI

由图 8 可见，McEFI 可直接贴片至焊盘，实现了与平面开关和陶瓷电容的短回路集成。实验中，通过示波器记录采样电阻两端的电压信号。结合采集到的电压波形和公式（1）~（2）可计算放电回路的等效电感和电阻。

$$R=\frac{4L}{T_1}\ln\frac{U_{1\max}}{U_{2\max}} \tag{1}$$

$$L=\frac{T_1^2}{4C}\left[4\pi^2+\left(\ln\frac{U_{1\max}}{U_{2\max}}\right)^2\right]^{-1} \tag{2}$$

2.2　采样电阻法可行性分析

在使用采样电阻法对集成 McEFI 的回路参数进行测试前，需要验证采样电阻法的准确性是否满足要求。为此，将罗氏线圈和采样电阻接入同一个较长回路的电容放电回路中，然后对比两种测试方法在不同工作电压条件下对同一回路的电感和电阻的测试结果，以评估采样电阻法的准确性。

测试条件为 0.22 μF/900~1 400 V。通过两种方法计算得到的长回路条件下的回路电感与电阻结果如表 1 所示。

表 1　采样电阻法与罗氏线圈法测试回路电感与电阻对比

Tab.1　Comparison of the inductance and resistance of the test loop by the sampling resistance method and the Roche coil method

充电电压/V	测试方法	L/nH	δ/%	R/mΩ	δ/%
900	罗氏线圈法	52.2	0.57	177.1	0.39
	采样电阻法	52.5		177.8	
1 200	罗氏线圈法	49.9	1.18	151.3	1.07
	采样电阻法	50.5		149.7	
1 400	罗氏线圈法	49.6	2.36	138.3	3.08
	采样电阻法	50.8		142.7	

由表 1 可见，两种方法之间的计算相对误差δ保持在 3.08%以内，证明了使用采样电阻法测量电路回路参数是可行的。

3　结果与讨论

3.1　McEFI 牺牲层结构制备结果

本研究制备的 McEFI 基片牺牲层结构如图 9 所示。结果表明，通过 lift-off 负性光刻胶工艺可以实现 McEFI 背面牺牲层结构的批量化精确制备。

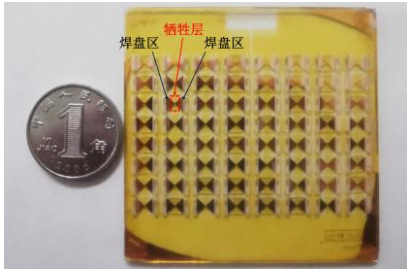


图 9　McEFI 基片牺牲层结构

Fig.9　McEFI sacrificial layer structure

3.2　McEFI 种子层制备结果

在通过磁控溅射镀膜制备种子层的过程中，延长溅射时间可以获得更厚的种子层，有利于后续电镀。然而，溅射过程中的热量累积会在飞片和加速膛结构

中引发内应力，从而降低膜层附着力。因此，需要系统研究种子层厚度的最优范围。

为了明确牺牲层厚度与金属层厚度的匹配关系，制备了牺牲层厚度为 8，10，12 μm 的 3 组基片，并分别在每组基片上进行 2~4 μm 不同厚度的铜溅射沉积。牺牲层厚度与种子层厚度匹配测试结果如表 2 所示。表 2 实验结果表明：在所选厚度范围内，牺牲层厚度对金属线路宽度影响较小。当溅射金属层较厚时，lift-off 剥离难度显著增加。若牺牲层过薄，则剥离过程极为困难，需要更厚的牺牲层以保证剥离可靠性。为确保后续电镀工艺的良好衔接，避免种子层厚度不足影响镀层质量，因而确定种子层厚度应不小于 3 μm，匹配的牺牲层厚度则选择 12 μm。

表 2 牺牲层与溅射厚度匹配实验结果

Tab.2 Experimental results of sacrificial layer and sputtering thickness matching

牺牲层厚度/μm	溅射厚度/μm	剥离难易程度	线宽/μm
8	2	中等	243.2
	3	难	239.6
	4	难	241.1
10	2	中等	248.4
	3	中等	245.2
	4	难	246.4
12	2	较易	244.8
	3	中等	241.8
	4	难	245.6

基于确定的牺牲层与溅射金属层的匹配参数，完成牺牲层结构以及溅射金属层的制备，制备好的结构如图 10 所示。随后采用专用剥离液对金属层进行剥离处理，剥离后的结构如图 11 所示，形成了所需的背面焊盘图形。

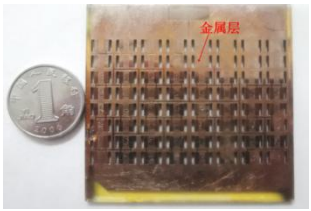


图 10 剥离前的基片

Fig.10 Substrate before stripping

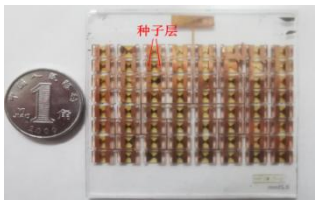


图 11 剥离后的基片

Fig.11 Substrate after stripping

利用万用表对基片内随机位置选取的 4 个 McEFI 结构的背面焊盘与正面金属桥箔进行连通性测试，导通实验测试结果如表 3 所示。通过显微镜对正面与侧壁连接处进行观察，结果如图 12 所示。

表 3 McEFI 正反面导通测试结果

Tab.3 McEFI positive and negative conduction test results

测试点位	1	2	3	4
电阻/Ω	5.14	15.28	21.21	18.33

实验结果表明，剥离后基片已成功实现正反两面的稳定电气连通，且测得电阻值处于同一数量级，符合预期的设计标准与工艺要求。

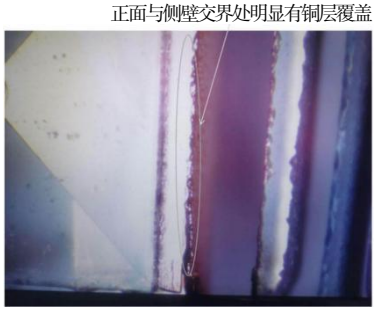


图 12 正反面导通后的基片

Fig.12 Substrate after positive and negative conduction

3.3 McEFI 电镀增厚制备结果

为进一步确定最优电镀工艺条件，本研究重点考察了 PEG-6000、H1 和 SP 3 种添加剂对铜镀层质量的影响，为后续电镀工艺的参数设定提供理论依据和实验支撑。

在不同聚乙二醇（PEG-6000）添加量（0.2，0.6，1.0，1.4 mL）的条件下进行电镀实验，20℃、电流密度为 2 A·dm^{-2}、电镀时间为 5 min 以及空气搅拌的条件下，当 PEG-6000 的添加量为 0.2 mL 时，镀层的光泽度较低，表面呈现出轻微的雾化现象；当添加量为 1.4 mL 时，镀层的雾化现象更为显著；而在添加量为 1.0 mL 时，镀层表现出最佳的光亮度和均匀性，电镀效果最为理想。

在 H1 添加量分别为 0.2，0.3，0.4 mL 时进行电镀实验（其它条件同上）。结果表明，当 H1 的添加量为 0.2，0.3 mL 时，镀层光亮度不足；添加量为 0.4 mL 时，镀层表面最为光滑明亮，电镀质量最佳。

在 SP 添加量分别为 0.2 ，0.5 mL 时进行电镀实验（其它条件同上）。实验结果表明 SP 添加量为 0.2 mL 时，镀层光亮效果欠佳；SP 添加量为 0.5 mL 时，镀层光泽显著改善，电镀层均匀性最佳。

基于上述系列实验，最终确定了高酸低铜配方中各添加剂的最优用量及工艺参数：浓硫酸 75 mL・L^{-1}，五水合硫酸铜 70 g・L^{-1}，氯离子 70 mg・L^{-1}，PEG-6000 10 g・L^{-1}，H1 0.5 g・L^{-1}，SP 10 g・L^{-1}，温度为 20 ℃，电流密度为 2~7 A・dm^{-2}。

为了实现对电镀铜层厚度的精确控制，需确定电镀速率。依据样片阴极电镀面积 0.08 dm^2 和电流密度 2~7 A・dm^{-2}，计算所需电流约为 0.3~0.6 A。在电流梯度 0.3~0.6 A 下进行 5，10，15 min 的电镀实验，并使用台阶仪测量铜层厚度，实验结果如图 13 所示。结果表明铜层厚度与电镀时间呈近似线性关系，较高电流密度对应更陡的增厚速率。为提高后续实验效率，电流密度选用 7 A・dm^{-2}。

电镀增厚完成后，采用激光切割机对电镀样片进行分割，分离出独立的 McEFI 芯片。最终制备得到的成品如图 14 所示，其尺寸和电气连通性均满足后续性能测试的需求。

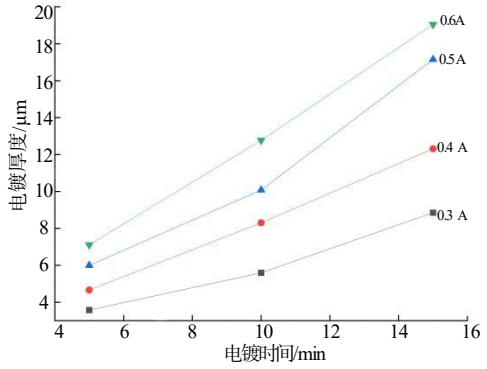
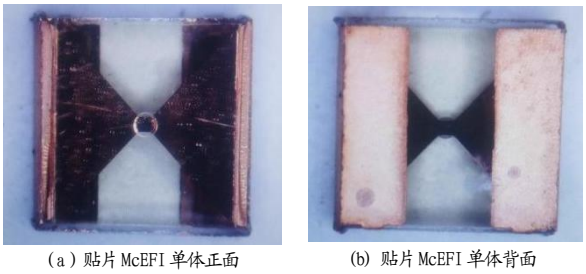


图 13　不同电流密度条件下铜箔厚度随时间的变化

Fig.13　Variation of copper foil thickness with time under different current density conditions



(a) 贴片 McEFI 单体正面　　(b) 贴片 McEFI 单体背面

图 14　激光切割后的贴片 McEFI 单体

Fig.14　Surface-mount McEFI monoblocks after laser cutting

3.4　回路参数测试结果

在充电电压 900~1 100 V，电容为 0.22 μF 的条件下，通过采样电阻测试得到的电压曲线如图 15 所示。

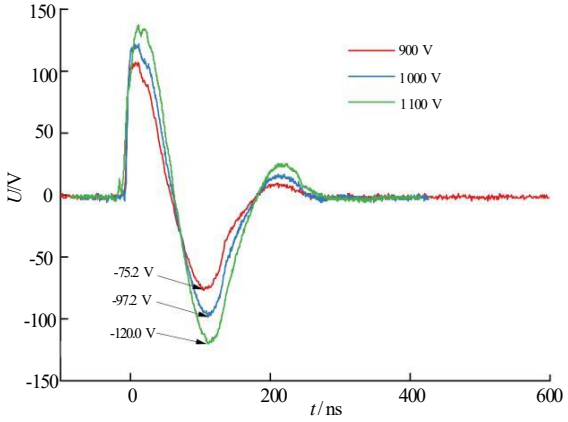


图 15　采样电阻测试得到的回路电压曲线

Fig.15　Circuit voltage profile from sampling resistance test

由图 15 可见，电压信号由 0 V 快速上升至峰值，然后逐渐下降，形成不对称的曲线。出现这种电压信号的原因是受到放电回路电感和电阻的影响，导致回路中的电压相位领先于电流相位。电压达到峰值并开始下降后，示波器的高压探头响应速度较慢，导致采集的瞬态信号被高估。因此，必须忽略最初的杂散电压峰值，从随后的负峰值开始计算。通过公式（1）~（2）计算得到回路参数，如表 4 所示。

表 4　回路电感与电阻值

Tab.4　Circuit inductance and resistance values

充电电压/V	900	1 000	1 100
R/mΩ	154.7	145.5	144.3
L/nH	4.2	4.7	5.6

由表 4 结果可知，当充电电压由 900 V 提升至 1 100 V 时，放电回路的等效电感变化较小（4.2~5.6 nH）。电阻逐渐降低（154.7~144.3 mΩ）。这是因为电感主要由回路结构决定，而电阻与电容储能相关，随着电容储能的增加，放电通道电阻减小[17]。与长回路未集成条件下测试结果（49.6~52.2 nH）相比，集成后的 McEFI 回路电感大幅降低。与本实验室短回路集成 EFI 起爆器[12]（10.2 nH）相比，本研究制备的 McEFI 电感下降了 34.6%，表明本设计制备的 McEFI 可显著降低回路电感。

4　结论

本研究设计并制备了一种双面导通的贴片式

McEFI，优化了其制备工艺，并测试了集成后的放电回路参数，得到以下结论：

（1）工艺优化方面：通过实验确定了贴片 McEFI 制备的最佳工艺参数。采用 lift-off 负性光刻胶工艺实现了 McEFI 背面牺牲层结构的批量化精确制备；种子层厚度不小于 3 μm，且匹配的牺牲层厚度为 12 μm 时，可保证剥离可靠性并确保后续电镀工艺良好衔接；电镀增厚时，浓硫酸 75 mL· L^{-1}，五水合硫酸铜 70 g· L^{-1}，氯离子 70 mg· L^{-1}，PEG-6000 10 g· L^{-1}，H1 0.5 g· L^{-1}，SP 10 g· L^{-1}，温度为 20 ℃，电流密度为 7 A·dm^{-2} 的高酸低铜配方及参数，可获得光亮均匀的铜镀层，且铜层厚度与电镀时间呈近似线性关系，较高电流密度对应更陡的增厚速率，能显著缩短达到相同厚度所需时间。

（2）性能测试方面：采用采样电阻法测试了贴片 McEFI 集成后的放电回路参数。充电电压由 900 V 提升至 1 100 V 时，放电回路的等效电感为 4.2~ 5.6 nH，电阻为 154.7~144.3 mΩ，电感显著低于传统长回路布局，集成后的 McEFI 回路电感大幅降低，相比实验室短回路集成 EFI 起爆器的回路电感下降了 34.6%，表明所设计制备的贴片 McEFI 可显著降低回路电感，提升能量转换效率。

综上所述，本文的研究成果为贴片 McEFI 的批量化生产与实际应用奠定了基础，推动了 EFI 技术向高端化、微型化发展。

参考文献：

[1] Stroud, J.R. A new kind of detonator-the slapper[R]. UCRL-77639, 1976.

[2] 褚恩义, 贺爱峰, 任西, 等. 火工品集成技术的发展机遇与途径[J]. 含能材料, 2015, 23(3): 205-207.

[3] 简昊天, 汪柯, 高峰, 等. 直列式爆炸箔点火及相关技术研究进展[J]. 含能材料, 2022, 30(4): 396-411.

[4] 吕军军, 李明愉, 曾庆轩, 等. 爆炸箔起爆系统的发展[J]. 科技导报, 2011, 29 (36): 61-65.

[5] 曾庆轩, 郑志猛, 李明愉, 等. 爆炸箔芯片集成制造方法研究[J]. 火工品, 2012(5): 1-3.

[6] 杨智, 朱朋, 徐聪, 等. 微芯片爆炸箔起爆器及其平面高压开关研究进展[J]. 含能材料, 2019, 27(2): 167-176.

[7] Excelitas. Blue chip detonators[EB/OL].https://www. excelitas. com/product/blue-chip-detonators, 2025-03-02.

[8] Scholtes G, Prinse W. Development of exploding foil initiators for future IM[C]//2007 Insensitive Munitions & Energetic Materials Technology Symposium .Miami, 2007.

[9] Zhang Q, Xu C, Zhu P, et al. Planar trigger switch and its integrated chip with exploding foil initiator based on low-temperature cofired ceramic[J]. IEEE Transactions on Power Electronics, 2019, 35(3): 2 908-2 916.

[10] Yang Z, Zhu P, Chu Q, et al. A micro-chip exploding foil initiator based on printed circuit board technology[J]. Defence Technology, 2022, 18(8): 1 435-1 444.

[11] Wang Z H, Xue P F, Zeng Q X, et al. Design, fabrication and performance test of an integrated exploding foil initiator system[J]. Defence Technology, 2024, 42(12): 125-135.

[12] Xue P F, Xiong P, Hu H, et al. Integration of the exploding foil initiator with capacitor discharge unit and its performance characterization[J]. Measurement, 2025,242, Part C:116 069.

[13] 王泽豪. 爆炸箔起爆系统的仿真计算与集成化设计[D]. 北京: 北京理工大学, 2023.

[14] 夏秒业, 赵锋, 刘江. 电镀面积计算方法分析[J]. 印制电路信息, 2020, 28(12): 64-66.

[15] 黎科, 陈世荣, 何湘柱, 等. 添加剂对高电流密度下通孔电镀铜的影响[J]. 电镀与涂饰, 2018,37(9):369-374.

[16] 王旭, 张胜涛, 陈世金, 等. 高深径比通孔电镀铜的添加剂优化[J]. 电镀与涂饰, 2020, 39(8): 461-468.

[17] 吕军军. 爆炸箔起爆系统集成技术研究[D]. 北京: 北京理工大学, 2014.