

文章编号: 1003-1480 (2024) 02-0001-07

基于金属-绝缘体相变材料的高钝感集成半导体桥芯片设计

程鹏涛¹, 李慧^{1,2}, 骆建军¹, 冯春阳¹, 骆懿¹, 任炜², 梁小会¹

(1. 杭州电子科技大学, 浙江 杭州, 310018; 2. 陕西应用物理化学研究所 瞬态化学效应与控制全国重点实验室, 陕西 西安, 710061)

摘要: 为了提高半导体桥 (SCB) 火工品的安全性与可靠性, 通过片上集成方式, 在 SCB 两端并联金属-绝缘体相变材料 VO₂ 对其进行分流防护。提出蛇形设计方法来降低 VO₂ 薄膜在金属态的电阻值, 使其与 SCB 阻值相匹配, 测试了不同长宽比的 VO₂ 薄膜及相应的集成芯片在室温 (25 °C) 至 100 °C 范围内的电阻曲线, 并对集成芯片及单独 SCB 在 1A1W5min 和 1.5A2.25W5min 安流试验中的传热过程进行了仿真。结果表明: 蛇形设计可以有效降低 VO₂ 薄膜电阻, 其阻值与蛇形长宽比 (W_s/L) 成反比; VO₂ 薄膜能够对 SCB 起到一定的分流防护作用; 集成芯片尺寸对安流试验热传导过程的平衡温度有一定影响; 能够通过 1.5 A 安流试验的最大 VO₂ 阻值为 5 Ω, 这是下一步的设计目标。

关键词: 半导体桥 (SCB); 二氧化钒 (VO₂); 集成芯片; 电阻; 仿真

中图分类号: TJ450.3 文献标识码: A DOI: 10.3969/j.issn.1003-1480.2024.02.001

High Passivity Integrated Semiconductor Bridge Chip Design Based on Metal-insulator Phase Change Material

CHENG Peng-tao¹, LI Hui^{1,2}, LUO Jian-jun¹, FENG Chun-yang¹, LUO Yi¹, REN Wei², LIANG Xiao-hui¹

(1. Hangzhou Dianzi University, Hangzhou, 310018; 2. State Key Laboratory of Transient Chemical Effects and Control, Shaanxi Applied Physics and Chemistry Research Institute, Xi'an, 710061)

Abstract: In order to improve the safety and reliability of semiconductor bridge (SCB) pyrotechnic devices, metal insulator phase change material VO₂ was parallelly connected at both ends of the SCB through on-chip integration to provide shunt protection. A snake shaped design method was proposed to reduce the resistance value of VO₂ thin films in the metallic state and match it with the resistance value of SCB. The resistance curves of VO₂ thin films with different aspect ratios and the corresponding integrated chips were tested in the range of room temperature (25 °C) to 100 °C, and the heat transfer processes of the integrated chips and individual SCB in the 1A1W5min and 1.5A2.25W5min safety current tests were simulated. The results show that the snake shaped design can effectively reduce the resistance of VO₂ thin films, and its resistance value is inversely proportional to the snake shaped aspect ratio (W_s/L); VO₂ thin film can provide certain shunt protection for SCB; The size of the integrated chip has a certain impact on the equilibrium temperature of the thermal conduction process in the safety current test; The maximum VO₂ resistance that can pass the 1.5A safety current test is 5 Ω, which is the next design goal.

Key words: Semiconductor bridge (SCB); Vanadium dioxide (VO₂); Integrated chip; Resistance; Simulation

现代战争中的复杂电磁环境要求武器装备所使用的火工品必须具有直流 1.5A2.25W5min 不发火的钝感性能。半导体桥 (SCB) 火工品利用半导体桥膜作为发火元件, 具有低发火能量、高瞬发及高安全性

收稿日期: 2023-10-18

作者简介: 程鹏涛 (1995-), 男, 博士后, 主要从事火工品技术研究。

通讯作者: 梁小会 (1991-), 女, 副研究员, 主要从事火工品仿真技术研究。

基金项目: 国家自然科学基金 (No. 52101218; No. 52301241)。

引用本文: 程鹏涛, 李慧, 骆建军, 等. 基于金属-绝缘体相变材料的高钝感集成半导体桥芯片设计[J]. 火工品, 2024(2): 1-7.

等特点^[1]。在电磁辐射及射频环境中,耦合入 SCB 火工品的电磁能量一般以热累积的方式造成损伤,通常采用安全电流表征其抗电磁辐射能力,并通过分立防护技术来提高 SCB 火工品的安全电流。分立防护技术是通过在 SCB 火工品结构上增加衰减器等防护器件来吸收或旁路泄放火工品从电磁场中耦合的能量,使换能元上耦合的能量低于其临界发火能量,从而保证火工品的安全。常用的防护器件包括电容、新型无源滤波器和射频泄放装置等^[2-4]。此外,陈飞等^[5]采用具有负温度系数(Negative Temperature Coefficient, NTC)的热敏电阻对 SCB 进行防护,试验表明通过将 NTC 热敏电阻与 SCB 并联,利用 NTC 热敏电阻的分流作用,SCB 的安全电流得到了有效提升。相对于分立器件,集成式芯片具有安全性与可靠性高、体积小、有利于大规模制备、一致性好、成本低等优势,但是,目前关于一体化集成防护的研究较少。

金属-绝缘体相变(Metal-Insulator Transitions, MIT)材料能够在某一相变温度下发生从绝缘体(或半导体)到金属导体的物理相变。其优势是常温下电阻较高,可视为绝缘体;高温下电阻降低,可视为导体。二氧化钒(VO_2)作为一种典型的 MIT 材料,是一种热致相变金属氧化物。在 341 K (68 °C)附近, VO_2 发生由低温绝缘体相到高温金属相的可逆转变^[6-7],同时伴随着光学和磁学等性质的可逆突变,其电导率也会发生 2~3 个数量级的变化^[8-9],这种独特的性质使其对 SCB 的分流防护有重要意义。

本文通过片上集成方式,在 SCB 两端并联蛇形 VO_2 薄膜,制备了一种高钝感集成 SCB 芯片。通过 VO_2 薄膜对输入的总电流进行分流,从而提高 SCB 火工品的安全电流裕度;并对集成芯片及单独 SCB 在 1A1W5min 和 1.5A2.25W5min 安流试验中的传热过程进行仿真,探索 VO_2 在不同直流电流及芯片尺寸下达到最佳防护效果的电阻。

1 设计

1.1 集成芯片结构设计

蛇形 VO_2 薄膜与 SCB 集成芯片结构及其等效电

路图如图 1 所示。由图 1 可见,蛇形 VO_2 薄膜置于 SCB 两侧,与 SCB 并联,当集成芯片接收到电磁能量时, VO_2 温度瞬间上升,达到其相变温度后, VO_2 阻值迅速下降,对输入的总电流进行分流,以减小 SCB 上的电流,抑制 SCB 温度继续升高,从而提高 SCB 的安全电流裕度。并且,并联 VO_2 不会影响 SCB 的正常发火。这是由于 VO_2 发生热致相变的时间至少为 ms 量级,而 SCB 的发火时间为 μs 量级,即在 VO_2 分流之前,SCB 就已经完成发火。

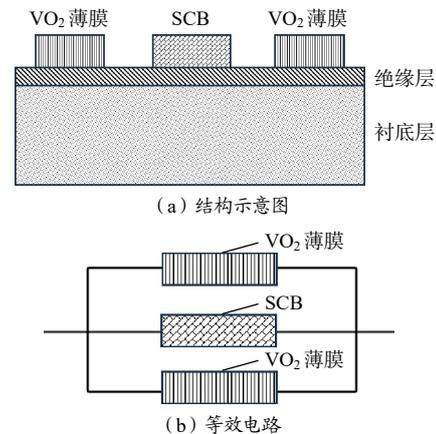


图 1 蛇形 VO_2 薄膜集成 SCB 芯片结构及其等效电路图
Fig.1 Diagram of snake shaped VO_2 thin film integrated SCB chip structure and its equivalent circuit

蛇形 VO_2 薄膜与 SCB 集成芯片的设计版图如图 2 所示。由图 2 可见,芯片中间部分为 SCB,左右两侧为蛇形 VO_2 薄膜,上下两侧为金属 PAD。

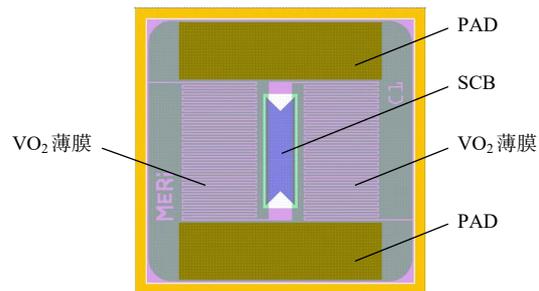


图 2 蛇形 VO_2 薄膜集成 SCB 芯片设计版图
Fig.2 Design layout of snake shaped VO_2 thin film integrated SCB chip

版图设计所用掩模版如图 3 所示。由图 3 可见,Mask#1 为多晶硅 SCB 图形化掩模版,用于制作双 V 型 SCB;Mask#2 为 VO_2 薄膜图形化掩模版,用于芯片上淀镀 VO_2 薄膜;Mask#3 为介质层图形化掩模版,用于制作蛇形电极接触孔;Mask#4 为金属层图形化掩模版,用于将多晶硅 SCB 与两侧蛇形 VO_2 薄膜形

成并联连接; Mask#5 为钝化层图形化掩模版, 用于在芯片上形成 PAD 引线孔。

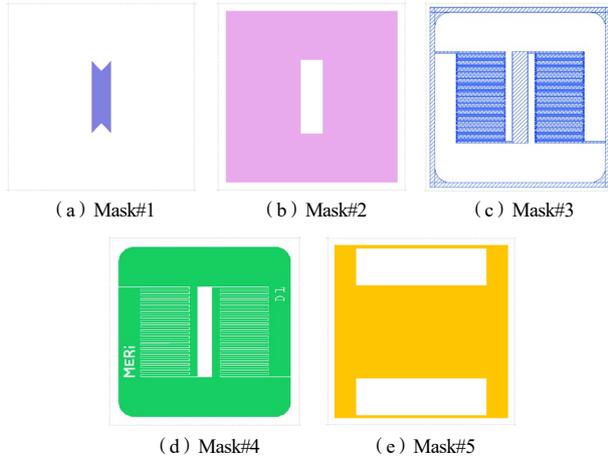


图3 集成电路版图设计用掩模版

Fig.3 Mask plates used in integrated chip layout design

1.2 VO₂薄膜结构设计

SCB 的电阻一般设计为 $1\ \Omega/3\ \Omega$, 因此, 为了对 SCB 进行有效防护, VO₂ 薄膜在金属态的电阻也应接近 $1\ \Omega/3\ \Omega$ 。由于钒的化学键中具有独特的 3d 轨道杂化, 使其表现出多重价态, 包括 V²⁺、V³⁺、V⁴⁺ 及 V⁵⁺, 所形成的氧化物依次为 VO、V₂O₃、VO₂ 及 V₂O₅。这些氧化物均表现出金属-绝缘体相变特性, 但其相变温度大都低于室温, 只有 VO₂ 的相变温度 (68 °C) 略高于室温, 可应用于 SCB 火工品的分流防护。但是, 即使是高纯度的 VO₂ 薄膜, 其相变后金属态的电阻也很难达到 $1\ \Omega/3\ \Omega$ ^[10]。并且, 由于 VO₂ 中的钒离子不是最高价态, 难以保证制备出高纯度的 VO₂ 薄膜, 其中通常混杂有其他价态的钒的氧化物, 使其相变后金属态的电阻与 SCB 的电阻 ($1\ \Omega/3\ \Omega$) 不匹配。为了解决这一问题, 将 VO₂ 薄膜设计成蛇形, 以降低其金属态电阻, 如图 4 所示。

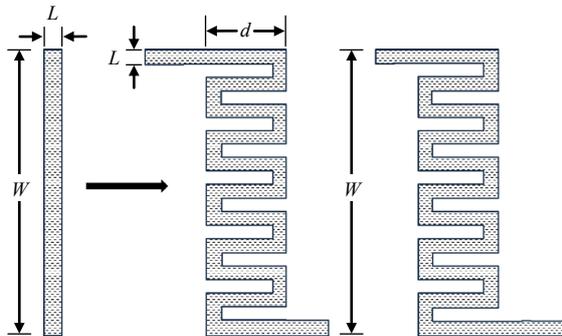


图4 蛇形设计原理图

Fig.4 Snake shaped design principle diagram

对于直线型 VO₂ 薄膜, 根据欧姆定律, 其电阻 R 可以采用方块电阻 R_s 乘以薄膜长宽比来计算, 计算过程与维度无关:

$$R = R_s \cdot L/W \quad (1)$$

$$R_s = \rho/t \quad (2)$$

式 (1) ~ (2) 中: L 为薄膜长度 (沿电流方向); W 为薄膜宽度 (垂直于电流方向); ρ 为薄膜电阻率; t 为薄膜厚度。薄膜制备完成后, 其电阻率 ρ 和厚度 t 是一定的, 因此, 可以通过减小薄膜长宽比 (L/W) 来降低其电阻 R 。

对于蛇形 VO₂ 薄膜, 假设蛇形区宽度为 d , 则蛇形区面积为 $W \times d$, 该区域内蛇形薄膜的有效宽度 $W_s = N \times d + (N+1) \times L$ 。其中, N 为最大可容纳的蛇形条数, $N = \text{Int}((W - 2 \times L)/(2 \times L))$, Int 为取整函数。这里未考虑蛇形转角处形状因子的影响。由此可见, 通过蛇形设计, 可以将薄膜的长宽比 W/L 增大至 W_s/L 。

1.3 试验样品制备

1.3.1 VO₂ 薄膜制备

目前常用的 VO₂ 薄膜制备方法有脉冲激光沉积 (PLD)、分子束外延 (MBE)、化学气相沉积 (CVD)、溶胶凝胶法以及磁控溅射法。这些制备方法均与集成电路半导体工艺相兼容。本文采用磁控溅射法制备 VO₂ 薄膜, 其优点在于: 沉积速率快, 厚度均匀, 与衬底粘附力强不易脱落, 有利于大批量生产, 而且所制备的薄膜纯度较高。

1.3.2 集成芯片制备

为了验证 VO₂ 薄膜长宽比与其高温金属态下电阻的关系, 结合光刻及腐蚀的最小精度, 制备了 6 种基于不同尺寸蛇形 VO₂ 薄膜的集成 SCB 芯片, 编号分别为 D1 ~ D6, 相关参数如表 1 所示。

表 1 集成芯片蛇形 VO₂ 薄膜尺寸

Tab.1 Size of snake shaped VO₂ thin films in integrated chips

芯片编号	$L/\mu\text{m}$	$d/\mu\text{m}$	$W/\mu\text{m}$	W_s/L
D1	5	260	485	1 485
D2	5	260	985	3 045
D3	5	260	1 485	4 568
D4	4	260	485	2 080
D5	4	260	985	4 200
D6	4	260	1 485	6 300

由表 1 可见, 集成芯片中蛇形 VO₂ 薄膜长宽比满足: $(W_s/L)_{D1} : (W_s/L)_{D2} : (W_s/L)_{D3} \approx (W_s/L)_{D4} :$

$(W_s/L)_{D5} : (W_s/L)_{D6} \approx 1 : 2 : 3$ 。

2 试验

2.1 试验方法

为了验证蛇形 VO₂ 薄膜对 SCB 的分流防护效果, 采用可升降温的四探针半导体分析测试仪在室温 (25 °C) 及 100 °C 下分别测试蛇形 VO₂ 薄膜及 VO₂ 薄膜与 SCB 集成芯片的电阻, 试验装置如图 5 所示。试验方法为双探针法, 将 2 个探针分别置于集成芯片上、下两侧的金属 PAD 表面, 采用恒流输出或恒压输出模式, 实时记录流过芯片的电压值、电流值及电阻值。采用电阻丝加热台对芯片加热, 采用循环冷却水对芯片降温。为了更加精确的测定 VO₂ 薄膜及集成芯片的电阻, 试验前需对测试系统的内阻进行标定。该内阻可能来源于探针与金属 PAD 的接触电阻以及测试系统导线的电阻等。测试方法是将 2 根探针同时置于同一金属 PAD 内, 多次测量取平均值。经测试, 蛇形 VO₂ 薄膜电阻测试系统在高温下的内阻约为 7.0 Ω; 集成芯片电阻测试系统在室温下的内阻约为 3.1 Ω, 在高温下的内阻约为 2.2 Ω。

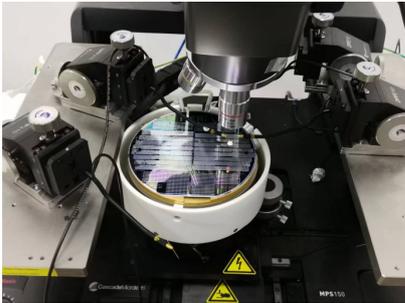


图 5 四探针电阻分析测试仪

Fig.5 Four probe resistance analysis tester

2.2 试验结果

2.2.1 VO₂ 薄膜电阻

不同长宽比的蛇形 VO₂ 薄膜电阻测试结果如图 6 及表 2 所示。由图 6 可见, VO₂ 薄膜在室温下的电阻为 kΩ 量级 (绝缘态); 当温度升高至相变温度 (约 70 °C) 时, 其电阻发生突变, VO₂ 薄膜转变为金属态; 之后, 随着温度逐渐降低至 45 °C 时, 其电阻又增大, VO₂ 薄膜重新转变为绝缘态。由表 2 可见, 在 25 °C 及 100 °C 下, $R_{D1} : R_{D2} : R_{D3}$ 与 $R_{D4} : R_{D5} : R_{D6}$ 均近似

为 3 : 2 : 1, 与其长宽比基本成反比, 符合预期。

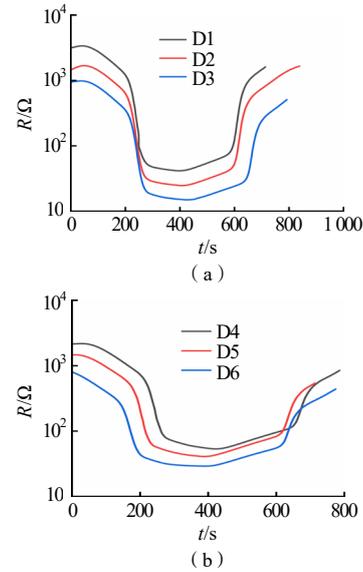


图 6 不同长宽比蛇形 VO₂ 薄膜电阻曲线

Fig.6 Resistance curves of snake shaped VO₂ thin films with different aspect ratios

表 2 不同长宽比蛇形 VO₂ 薄膜电阻数据

Tab.2 Resistance data of snake shaped VO₂ thin films with different aspect ratios

芯片编号	R/Ω		W_s/L
	25 °C	100 °C	
D1	3 300	42	1 485
D2	1 600	25	3 045
D3	1 000	15	4 568
D4	2 200	55	2 080
D5	1 500	43	4 200
D6	800	30	6 300

2.2.2 集成芯片电阻

以 D6 芯片为例, 其电阻测试结果如图 7 所示。由图 7 可见, D6 芯片在室温下的电阻为 4.8 Ω, 在高温下的电阻为 3.6 Ω。减去内阻后, D6 芯片在室温下的电阻为 1.7 Ω, 即 1.7 Ω 的 SCB 与 2 个 kΩ 级别的 VO₂ 薄膜并联; D6 芯片在高温下的电阻为 1.4 Ω, 相当于 1.7 Ω 的 SCB 与 2 个在金属态电阻为 15.9 Ω 的 VO₂ 薄膜并联, 则约有 $(1.7/15.9) \times 2 = 21.4\%$ 的电流分流至 VO₂ 薄膜, 从而对 SCB 起到一定的分流防护作用。

综上所述, 由室温加热至 100 °C 的过程中, 蛇形 VO₂ 薄膜相变前后的电阻变化大于 2 个数量级; 并且, 其长宽比越大, 其电阻越小。升温过程中, VO₂ 的相变温度约为 70 °C; 降温过程中, VO₂ 的相变温度约为 45 °C; 相变温度迟滞窗口约为 25 °C, 并且具有明显的可逆相变特征, 重复性较好。但是, VO₂ 薄膜在金属态的电阻未达到预期 (1 Ω/3 Ω)。这是由于 VO₂

薄膜中的钒为中间价态(+4价),在其制备过程中,衬底温度、氧分压以及氧气与氩气的流量比等工艺条件均会对薄膜的纯度产生影响,从而导致VO₂薄膜在金属态的电阻较高。后续可通过优化制备工艺,如电阻值变化数量级提升、相变温度点、相变温度迟滞窗口优化等,降低VO₂薄膜电阻。

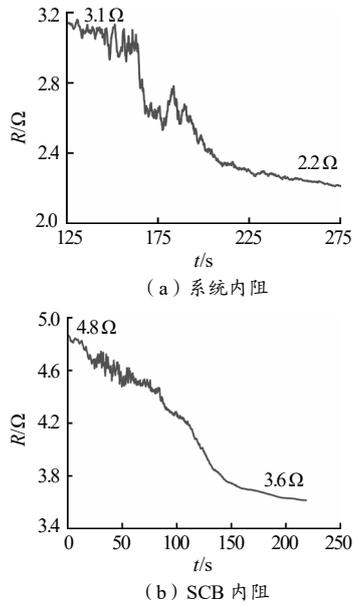


图7 D6芯片在高低温下的系统内阻和SCB电阻
Fig.7 The system internal resistance and SCB resistance of D6 chip at high and low temperatures

3 仿真分析

安流试验常用来衡量火工品的安全性及可靠性。为了进一步探究蛇形VO₂薄膜的分流作用,分别对VO₂与SCB集成芯片及单独SCB在1A1W5min和1.5A2.25W5min安流试验中的传热过程进行有限元仿真,研究达到最佳防护效果时VO₂薄膜的电阻。

3.1 有限元建模

首先,根据基本物理过程做如下假设:各组件之间热量传递以热对流和热传导为主,忽略热辐射的影响;陶瓷塞电阻率、比热容、导热系数等物理性质为常数,不随温度变化;SCB电阻值为1Ω;初始温度为298K(未通电流),且温度均匀分布。

通电后,SCB边界与空气由于热对流产生热流量,如式(3)所示:

$$q_0 = h(T - T_0) \quad (3)$$

式(3)中: h 为对流换热系数; T_0 为初始时刻温度; T 为某一时刻温度。

在恒流输入下,由于焦耳热作用,SCB温度逐渐升高,在桥区融化前发生电热转换^[11],其瞬态电磁热耦合为:

$$\rho c_p \frac{\partial T}{\partial t} + \rho c_p u \cdot \nabla T = \nabla \cdot (k \nabla T) + Q_e \quad (4)$$

式(4)中: ρ 为密度,kg·m⁻³; Q_e 为桥区产生的焦耳热; T 为温度,K; c_p 为比热,J·kg⁻¹·K⁻¹; k 为导热系数,W·m⁻¹·K⁻¹; t 为时间,s; u 为速度场,m·s⁻¹。

根据实际点火用的陶瓷塞尺寸(直径5.4mm,高度4.0mm)建立模型。SCB+VO₂传热模型主要由陶瓷塞、多晶硅衬底和SCB组成,如图8所示。各材料参数如表3所示。衬底尺寸分别为1.0mm×1.0mm,1.0mm×1.5mm,1.0mm×2.0mm,衬底上采用重掺杂多晶硅构建阻值为1Ω的SCB,SCB尺寸为100μm×400μm,厚度为2μm。在SCB两侧对称并联2个与SCB尺寸相同、阻值可变的VO₂电阻。利用COMSOL软件对不同尺寸衬底上施加1A1W5min和1.5A2.25W5min电流下SCB及VO₂薄膜温度随时间的变化进行仿真。仿真时设置SCB与空气之间对流速率为0.3m·s⁻¹(正常空气流速)。模拟时间为0~300s,时间步长设置为50s。

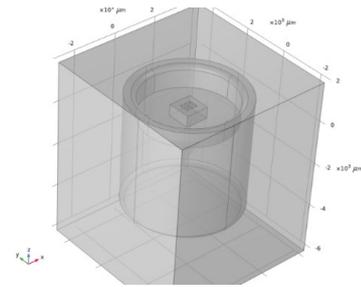


图8 SCB+VO₂传热模型
Fig.8 Heat transfer model of SCB+VO₂

表3 SCB+VO₂模型材料参数
Tab.3 Material parameters of SCB+VO₂ model

材料	恒压热容/ (J·kg ⁻¹ ·K ⁻¹)	密度/ (kg·m ⁻³)	导热系数/ (W·m ⁻¹ ·K ⁻¹)
Si	700	2329	141.2
多晶硅(SCB)	678	2320	71.45
陶瓷塞	850	3980	160

3.2 仿真结果

1A1W5min和1.5A2.25W5min安全电流下不同尺寸衬底上SCB+VO₂的温升曲线如图9~10所示。

分别模拟了衬底上只有 SCB 时的温升曲线 (only SCB), 以及 VO_2 电阻为 35, 18, 8 Ω 和理想值 (1 Ω) 时的温升曲线, 其中, 35, 18, 8 Ω 分别对应集成芯片 D1 ~ D3 阻值 (42, 25, 15 Ω) 减去内阻 (7 Ω) 后的 VO_2 阻值。具体温升数据如表 4 ~ 5 所示。

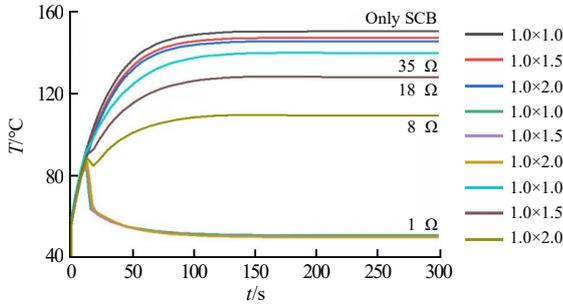


图 9 1A1W5min 条件下 SCB+ VO_2 热传导模拟结果

Fig.9 SCB+ VO_2 heat conduction simulation results under 1A1W5min conditions

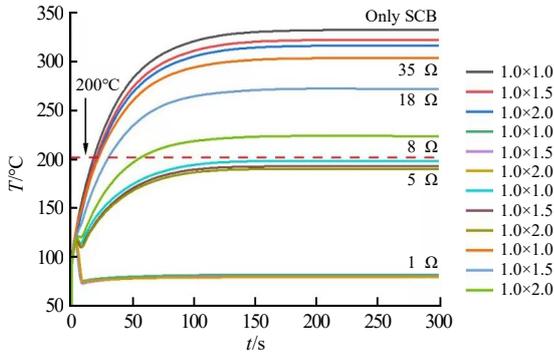


图 10 1.5A2.25W5min 条件下 SCB+ VO_2 热传导模拟结果

Fig.10 SCB+ VO_2 heat conduction simulation results under 1.5A2.25W5min conditions

表 4 芯片尺寸对安流试验的影响 (衬底上只有 SCB)

Tab.4 Influence of chip size on safety current test (only SCB on the substrate)

芯片尺寸/mm	平衡温度/°C	
	1A1W5min	1.5A2.25W5min
1.0×1.0	147	335
1.0×1.5	145	315
1.0×2.0	144	305
温度差异	3	20

表 5 芯片尺寸和 VO_2 相变后电阻值对安流试验的影响

Tab.5 Influence of chip size and resistance value of VO_2 phase change on safety current test

芯片尺寸/mm	VO_2 相变电阻/ Ω	平衡温度/°C	
		1A1W5min	1.5A2.25W5min
1.0×1.0	1	~45	~75
1.0×1.5	1	~45	~75
1.0×2.0	1	~45	~75
温度差异	-	<1	<1
1.0×1.0	35	135	300
1.0×1.5	18	125	270
1.0×2.0	8	105	220
温度差异	-	30	80

由图 9 ~ 10 及表 4 可见, 衬底上只有 SCB 时, 芯片尺寸对 1A1W5min 安流试验的影响不显著, 温度差异仅为 3 $^{\circ}\text{C}$; 对 1.5A2.25W5min 试验的影响显著, 温度差异达 20 $^{\circ}\text{C}$ 。

由图 9 ~ 10 及表 5 可见, 当 VO_2 相变后电阻为理想值 1 Ω 时, 芯片尺寸对 1A1W5min 和 1.5A2.25W5min 安流试验的影响不显著, 温度差异均小于 1 $^{\circ}\text{C}$; 平衡温度约为 45 $^{\circ}\text{C}$ (1 A)、75 $^{\circ}\text{C}$ (1.5 A)。当 VO_2 相变后电阻分别为 35 Ω (1.0 mm×1.0 mm)、18 Ω (1.0 mm×1.5 mm) 和 8 Ω (1.0 mm×2.0 mm) 时, 集成芯片尺寸对 1A1W5min 和 1.5A2.25W5min 安流试验的影响显著, 平衡温度差异约为 30 $^{\circ}\text{C}$ (1 A)、80 $^{\circ}\text{C}$ (1.5 A)。虽然集成芯片尺寸对 1A1W5min 试验的影响较小, 但由于其平衡温度 $T \leq 135$ $^{\circ}\text{C}$, 理论上可以满足安流试验要求。而集成芯片尺寸对 1.5A2.25W5min 试验的影响较为显著, 但其平衡温度 $T \geq 220$ $^{\circ}\text{C}$, 不能满足安流试验要求。

此外, 若以平衡温度 (理论上的安全温度) 200 $^{\circ}\text{C}$ 为参考标准 (图 10 中的红色虚线), 发现只有 VO_2 相变后的电阻低于 5 Ω 时才能够满足, 从而对 SCB 射频防护起到分流防护的效果。但是, 由于目前生产工艺问题, 在进行 SCB 与 VO_2 的片上集成时, 未能将 VO_2 电阻降低至 5 Ω 以下, 后续工作将对此开展工艺改进研究。

4 结论

为了提高 SCB 火工品的安全性与可靠性, 通过片上集成的方式, 在 SCB 两端并联金属-绝缘体相变材料 VO_2 进行分流防护。利用蛇形设计降低 VO_2 薄膜在金属态的电阻值, 使其与 SCB 阻值相匹配。测试结果表明蛇形设计可以有效降低 VO_2 薄膜的电阻, 且其阻值与蛇形长宽比 (W_s/L) 成反比, 最低可以达到 8 Ω 。此外, 针对 SCB 在 1A1W5min 和 1.5A2.25W5min 恒流激励条件下的温升特性进行了仿真, 探索了 VO_2 在不同直流电流及芯片尺寸下达到最佳防护效果的电阻, 结果表明, 不同芯片尺寸对热传导结果有一定影响, 当施加 1.5 A 电流, VO_2 阻值分别为 8,

18, 35 Ω 时的热平衡温度相差 80 $^{\circ}\text{C}$; 并且发现能够通过 1.5 A 安全电流试验的最大 VO_2 阻值为 5 Ω , 这是下一步的设计目标。

参考文献:

- [1] 叶迎华. 火工品技术[M]. 北京: 国防工业出版社, 2014.
- [2] David B N, Brendan M W, David W E. Semiconductor bridge development for enhanced ESD and RF immunity[R]. AIAA-99-2417, 1999.
- [3] Baginski T A, Michael E. Characterization of a novel passive RF filter for frequencies of 4 ~ 225 MHz[J]. IEEE Transactions on Electromagnetic Compatibility, 1990, 32(2): 163-167.
- [4] Robert L D, Kathy L. Attenuator for protecting an electroexplosive device from inadvertent RF energy or electrostatic energy induced firing: US, 527 922 5[P]. 1994-01-18.
- [5] 陈飞, 周彬, 秦志春. NTC 热敏电阻用于半导体桥火工品射频防护的研究[J]. 南京理工大学学报(自然科学版), 2012, 36(1): 171-175.
- [6] Heckingbottom R, Linnett J W. Structure of vanadium dioxide[J]. Nature, 1962, 194(4 829): 678.
- [7] Baum P, Yang D S, Zewail A H. 4D visualization of transitional structures in phase transformations by electron diffraction[J]. Science, 2007, 318(5 851): 788-792.
- [8] Liu X B, Wang Q, Zhang X Q, et al. Thermally dependent dynamic meta-holography using a vanadium dioxide integrated metasurface[J]. Advanced Optical Materials, 2019, 7(12): 190 017 5.
- [9] Qazilbash M M, Brehm M, Chae B G, et al. Mott transition in VO_2 revealed by infrared spectroscopy and nano-imaging[J]. Science, 2007, 318(5 857): 1 750-1 753.
- [10] Yang S, Mohammad V, Atif S. Fully inkjet-printed VO_2 -based radio-frequency switches for flexible reconfigurable components[J]. Advanced Materials Technology, 2018, 4(1): 180 027 6.
- [11] 王亮, 邹苑楠, 蒋小华, 等. 短脉冲电流作用下铜微桥箔的电热分析[J]. 含能材料, 2013, 21 (4): 500-505.

青年编委招募

《火工品》第一届青年编委的加入给期刊带来新的活力, 发挥了重要作用。为充分发挥青年学者的思维创新、学术交流活跃等优势, 进一步提升期刊影响力和办刊水平, 为编委会培养后备力量, 也为青年学者提供一个展示和交流的平台, 现进行《火工品》期刊青年编委的增选工作。

招募条件: 年龄在 45 周岁以下; 原则上应具有正高职称, 如为副高职称则需以第一作者或通信作者身份在本领域期刊上发表论文 5 篇以上; 关心、支持期刊发展事务, 有较强的组稿或撰稿能力, 积极为学术期刊发展出谋划策; 具有为权威科技期刊组稿、进行专题策划及助力期刊开展相关学术活动等经历者优先。

青年编委职责: 积极为期刊的发展与推广建言献策; 积极参与本刊的审稿工作, 包括本人审稿和推荐审稿专家; 在国内外科研、学术交流活动中, 加强对期刊的宣传; 提供学科最新科研动向, 推荐选题, 积极协助编辑部策划重大选题、专题、专栏, 及进行优质稿件的组约; 积极参加青年编委会会议和本刊主办协办的相关学术活动。

报名方式: 有意者请将报名材料发送至编辑部邮箱(huogongpin@sina.com), 邮件标题请注明“申请青年编委+姓名+学科方向”。材料应包括: 学术简历(含个人基本信息、教育、访学及工作经历、研究领域、获得各类人才称号、主持科研项目、代表性论文列表等); 对于提高《火工品》期刊影响力的建议和想法等。

编辑部将组织专家委员会对应聘候选人进行遴选, 随后公布名单。申请截止时间: 2024 年 9 月 30 日

联系方式: 029-85333475 期刊网址: <http://hgp.cnjournals.net/hgp/home>

期待您的加入, 让我们携手共创火工烟火行业的美好未来!